

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-98168

(43) 公開日 平成10年(1998) 4月14日

(51) Int.Cl.⁶

H 0 1 L 27/108

21/8242

識別記号

F I

H 0 1 L 27/10

6 2 1 B

6 8 1 B

審査請求 有 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願平8-331963

(22) 出願日 平成8年(1996)12月12日

(31) 優先権主張番号 特願平8-200635

(32) 優先日 平8(1996)7月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 笠井 直記

東京都港区芝五丁目7番1号 日本電気株式会社内

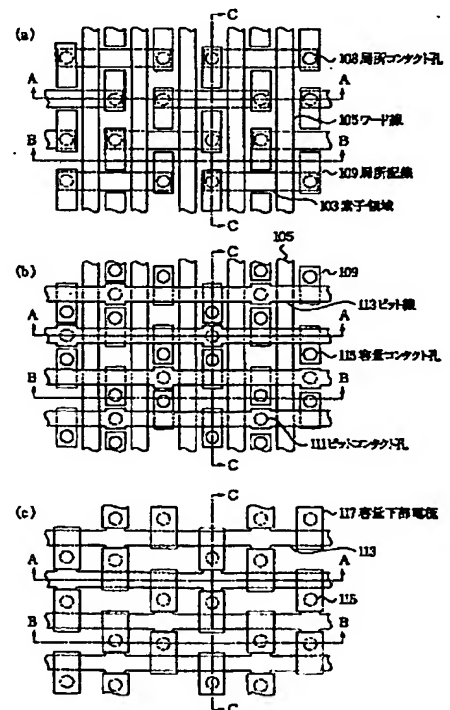
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】セルサイズが $6F^2$ になるCOB構造で開放ビット線方式のDRAMを提供する。

【解決手段】異なる素子領域列に属して隣接する2つの矩形素子領域103は(矩形素子領域103の)長辺方向になすピッチ(6F)の $1/3$ ピッチ(2F)ずつずらして配置され、さらに矩形素子領域103の中央に設けられたN型拡散層に局所コンタクト孔108を介して接続する局所配線109はワード線105に平行に設けられている。ビットコンタクト孔111を介して局所配線109に接続されるビット線113の配線ピッチは2Fである。



【特許請求の範囲】

【請求項1】 半導体基板の表面に設けられたトランジスタと、該トランジスタの上部に設けられたビット線と、容量下部電極、容量絶縁膜および容量上部電極からなる該ビット線の上部に設けられたキャパシタとによりメモリセルが構成され、

前記半導体基板の表面の素子分離領域に設けられたフィールド酸化膜によって画定された矩形素子領域はそれぞれ所定の間隔を有して該半導体基板の表面に配置され、該矩形素子領域は該矩形素子領域の長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの該矩形素子領域は該矩形素子領域の長辺方向になすピッチの1/3ピッチずつ順にずれて配置され、該矩形素子領域にはそれぞれ2つの前記トランジスタが設けられ、

2つの前記トランジスタは、前記矩形素子領域の表面に設けられたゲート酸化膜を介して該矩形素子領域の長辺方向と直交し、前記半導体基板の表面上に設けられた平行な2つのワード線と、該フィールド酸化膜および2つの該ワード線に挟まれて該矩形素子領域の表面の中央に設けられた第1の拡散層と、該フィールド酸化膜および1つの該ワード線に挟まれて該矩形素子領域の表面の両端に設けられた2つの第2の拡散層とから構成され、ビットコンタクト孔を介して前記第1の拡散層に接続される前記ビット線が前記素子領域列に沿って前記ワード線と直交して該ワード線の上部に配置され、

局所コンタクト孔を介してそれぞれの前記矩形素子領域に設けられた2つの前記第2の拡散層に接続する2つの局所配線が、前記ワード線に平行に、かつそれぞれ逆向に前記フィールド酸化膜上まで延在して配置され、前記ビット線の間に設けられた容量コンタクト孔を介して前記フィールド酸化膜上まで延在された前記局所配線の一端に接続される前記容量下部電極が、前記ビット線の上部に形成されることを特徴とする半導体記憶装置。

【請求項2】 前記容量下部電極の前記半導体基板表面への投影面の形状が矩形をなし、該投影面の長手方向が前記ワード線に平行であることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記容量下部電極の前記半導体基板表面への投影面の形状が矩形をなし、該投影面の長手方向が前記ビット線に平行であることを特徴とする請求項1記載の半導体記憶装置。

【請求項4】 半導体基板の表面に設けられたトランジスタと、該トランジスタの上部に設けられたビット線と、容量下部電極、容量絶縁膜および容量上部電極からなる該ビット線の上部に設けられたキャパシタとによりメモリセルが構成され、

前記半導体基板の表面の素子分離領域に設けられたフィールド酸化膜によって画定された矩形素子領域はそれぞれ所定の間隔を有して該半導体基板の表面に配置され、

該矩形素子領域は該矩形素子領域の長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの該矩形素子領域は該矩形素子領域の長辺方向になすピッチの1/3ピッチずつずれて配置され、該矩形素子領域にはそれぞれ2つの前記トランジスタが設けられ、

2つの前記トランジスタは、前記矩形素子領域の表面に設けられたゲート酸化膜を介して該矩形素子領域の長辺方向と直交し、前記半導体基板の表面上に設けられた平行な2つのワード線と、該フィールド酸化膜および2つの該ワード線に挟まれて該矩形素子領域の表面の中央に設けられた第1の拡散層と、該フィールド酸化膜および1つの該ワード線に挟まれて該矩形素子領域の表面の両端に設けられた2つの第2の拡散層とから構成され、

局所コンタクト孔を介してそれぞれの前記矩形素子領域に設けられた該第1の拡散層に接続する局所配線が、前記ワード線に平行な一定の方向に前記フィールド酸化膜上まで延在して配置され、ビットコンタクト孔を介して前記フィールド酸化膜上まで延在された前記局所配線の一端に接続される前記ビット線が、前記ワード線の上部において該ワード線に直交し、前記素子領域列に平行に、かつ2つの該素子領域列の間に沿って配置され、

容量コンタクト孔を介して前記第2の拡散層に接続される前記容量下部電極が、前記ビット線の上部に形成されることを特徴とする半導体記憶装置。

【請求項5】 異なる素子領域列に属して隣接する2つの前記該矩形素子領域が該矩形素子領域の長辺方向になすピッチの1/3ピッチずつ順にずれて配置されていることを特徴とする請求項4記載の半導体記憶装置。

【請求項6】 異なる素子領域列に属して隣接する2つの前記該矩形素子領域が該矩形素子領域の長辺方向になすピッチの1/3ピッチずつ交互にずれて配置されていることを特徴とする請求項4記載の半導体記憶装置。

【請求項7】 前記容量下部電極の前記半導体基板表面への投影面の形状が矩形をなし、該投影面の長手方向が前記ワード線に平行であることを特徴とする請求項4記載の半導体記憶装置。

【請求項8】 前記容量下部電極の前記半導体基板表面への投影面の形状が矩形をなし、該投影面の長手方向が前記ビット線に平行であることを特徴とする請求項4、請求項5あるいは請求項6記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体記憶装置に関し、特にキャパシタがビット線の上部に設けられた開放ビット線方式のメモリセルを有するDRAMに関する。

【0002】

【従来の技術】 1つのトランジスタと1つのキャパシタとの2つの素子からメモリセルが構成されたDRAMは

微細加工技術、デバイス技術、回路技術等の進歩により3年毎に4倍の記憶容量の増加(世代交代)がなされ、メモリセルのセルサイズは前の世代に比べて約40%に縮小されてきた。このようなセルサイズの縮小に伴ってメモリセルを構成する素子の寸法も縮小する必要があり、トランジスタはスケーリング則に従った寸法の縮小が行なわれてきた。しかしS/N比の確保やソフトエラー耐性を保証するためにはキャパシタに蓄えられる蓄積電荷はある一定値以上確保する必要があり、蓄積容量をキャパシタ面積に比例して縮小することはできないという問題がある。半導体基板表面へのキャパシタ投影面積が小さくなった場合でも大きな蓄積容量を得る目的から、キャパシタを構成する容量下部電極を3次元構造にしてこれらの電極の側面を利用したスタックトキャパシタが実現されている。当初提案されたスタックトキャパシタを用いたメモリセル構造は、トランジスタの上部にキャパシタが形成され、さらにこれらのキャパシタの上部にビット線が形成された構造であった。

【0003】この構造は、以下の2つの問題点があった。第1に、蓄積容量を大きくするために容量下部電極の高さを高くして側面の面積を広くすると、ビット線とトランジスタのソース・ドレイン領域の一方の拡散層とを接続するコンタクト孔(ビットコンタクト孔)の深さが深くなり、コンタクト孔の形成が困難になり、また、キャパシタを覆う絶縁膜の段差が大きくなるためビット線の形成が困難になることである。第2の問題点は、メモリセル内でキャパシタとして用いることのできるキャパシタの投影面積がビットコンタクト孔の分だけ小さくなってしまふことである。

【0004】これらの問題点を解決する方法として、キャパシタをビット線の上部に設ける(COB型と記す)メモリセルが、1988年インターナショナル・エレクトロン・デバイス・ミーティング・テクニカル・ダイジェスト(International-Electronic-Devices-Meeting-Technical-Digest)の第595頁-第599頁に報告された。この報告では、半導体基板の表面に凸型の素子領域を設け、ビットコンタクト孔を介してビット線はこの凸型の部分に形成されたソース・ドレイン領域の一方の拡散層に接続され、容量コンタクト孔を介して素子領域の両端の部分に形成されたソース・ドレイン領域の他方に接続されるキャパシタはビット線の上部に形成されている。この報告による構造のメモリセルでは、ビット線が接続されるソース・ドレイン領域の一方の拡散層の接合容量が大きくなることからビット線の寄生容量が大きくなるという問題点が生じる。

【0005】特開平3-72673号公報に記載されたメモリセルでは、局所配線を設けることにより上記ビット線の寄生容量の低減を行なっている。半導体記憶装置の平面図および断面図である図16および図17を参照

して、この特許公開公報に記載されたメモリセルを説明する。ここで、図16は階層化された平面図であり、図16(a)は素子領域とワード線と局所配線との配置関係を示し、図16(b)は局所配線とビット線との配置関係を示し、図16(c)はビット線とキャパシタの容量下部電極との配置関係を示している。図17(a)、(b)は、図16のAA線、BB線での断面図である。

【0006】P型シリコン基板401表面の素子分離領域にはフィールド酸化膜402が設けられ、フィールド酸化膜402により画定されたP型シリコン基板401表面には矩形素子領域403aが設けられている。矩形素子領域403aは(矩形素子領域403の)長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの矩形素子領域403aは矩形素子領域403aの長辺方向になすピッチの1/2ピッチずつずれて配置され、それぞれの矩形素子領域403aにはそれぞれ2つのトランジスタが設けられている。それぞれの矩形素子領域403aの表面上には、矩形素子領域403aの表面に設けられたゲート酸化膜404を介して、ゲート電極を兼たそれぞれ2つのワード線405aが設けられている。ワード線405aは、多少の蛇行は伴うものの、概ねに矩形素子領域403aの長辺方向に対して直交して配置されている。それぞれの矩形素子領域403aには、ワード線405a、フィールド酸化膜402に自己整合的に、1つのN型拡散層406Aと2つのN型拡散層406Bとが設けられている。

【0007】局所コンタクト孔408aを介してN型拡散層406Bに接続される局所配線409aは、それぞれの矩形素子領域403aに隣接するワード線405aの上部を通過してフィールド酸化膜402上に延在している。1つの矩形素子領域403aに接続された2つの局所配線409aは、矩形素子領域403aの長辺方向に対して所望の角度を有してそれぞれ逆方向に延在している。ビットコンタクト孔411a(内を充填するコンタクトプラグ412)を介してN型拡散層406Aに接続されるビット線413aは、ワード線405aおよび局所配線409aの上部に設けられ、上記素子領域列に沿って配置されている。例えばフィールド酸化膜402上の部分での局所配線409aの一端に達する容量コンタクト孔415を介して、それぞれの局所配線409aに接続された容量下部電極417は、ワード線405a並びにビット線413aの上部に設けられている。これらの容量下部電極417の表面は容量絶縁膜(図に明示されず)に覆われ、さらに容量上部電極419により覆われている。

【0008】局所配線を用いた別のメモリセルが、特開平4-279055号公報に記載されている。半導体記憶装置の平面図である図18を参照してこの特許公開公報に記載されたメモリセルについて説明する。

【0009】半導体基板の表面に設けられた矩形素子領

域403bは(矩形素子領域403bの)長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの矩形素子領域403bは矩形素子領域403bの長辺方向になすピッチの1/2ピッチずつずれて配置され、それぞれの矩形素子領域403bにはそれぞれ2つのトランジスタが設けられている。それぞれの矩形素子領域403bの表面上には、ゲート電極を兼たそれぞれ2つのワード線405bが設けられている。ワード線405bは、矩形素子領域403bの長辺方向に対して直交して配置されている。ここでの局所配線409bは、上記特開平3-72673号公報に記載された局所配線と相違して、局所コンタクト孔408bを介して、2つのワード線405bに挟まれて矩形素子領域403bに形成された拡散層に接続されている。局所配線409bは、ワード線405bに平行に、素子分離領域上に延在している。ビットコンタクト孔411bを介して素子分離領域上に延在している部分の局所配線409bに接続されるビット線413bは、上記素子領域列に平行に配置されている。矩形素子領域403bの両端におけるビット線413bと重ならない部分424には、キャパシタが接続される。

【0010】

【発明が解決しようとする課題】DRAMのメモリセルのセルサイズ等は、ワード線のピッチの1/2により規定されるF(Feature-Sizeの略)により表現されている。上記特開平3-72673号公報、上記特開平4-279055号公報に記載されたDRAMのメモリセルは、それぞれ折り返しビット線方式、開放ビット線方式のメモリセルである。これらの特許公開公報では、矩形素子領域および局所配線等を採用することにより、これらの矩形素子領域のビット線方向(矩形素子領域の長手方向)およびワード線方向のピッチは8Fおよび2Fとなる。このため、上記特開平3-72673号公報に記載されたDRAMでは折り返しビット線方式のメモリセルのセルサイズをこの方式の目標値である8F²に縮小することができるが、上記特開平4-279055号公報に記載されたDRAMでは開放ビット線方式のメモリセルのセルサイズの目標値である6F²より2F²大きくなっている。

【0011】折り返しビット線方式のメモリセルに対する開放ビット線方式のメモリセルの利点は、セルサイズが小さくなる点である。開放ビット線方式のメモリセルでは、2つのメモリセルが設けられる1つの素子領域のビット線方向のピッチが6Fになる。このメモリセルのワード線方向のピッチを2Fにすることができるならば、このメモリセルのセルサイズを6F²にすることができる。素子領域のビット線方向のピッチが6Fである通常の開放ビット線方式のメモリセルからなるセルアレイでは、異なる素子領域列に属して隣接する2つの素子領域の間のピッチずれが無く、同じ素子領域列に属して

隣接する2つの素子領域に関わる2つのワード線の間隔が3Fとなり、これら2つのワード線に間にこれらに平行な素子領域の空隙部が存在する。このことから、上記特開平3-72673号公報あるいは上記特開平4-279055号公報に記載されたように矩形素子領域および局所配線を採用したとしても、局所配線の間隔(F)を配慮することが必要なため、T字型の素子領域による開放ビット線方式のメモリセルと同様にワード線方向のピッチが(2Fではなく)3Fになり、メモリセルのセルサイズは(目標値である6F²より大幅に大きな値である9F²となる。このような理由から、従来の開放ビット線方式のメモリセルを有するDRAMでは、上記特開平3-72673号公報あるいは上記特開平4-279055号公報に記載された手段を採用しないでこのメモリセルのワード線方向のピッチを2Fに近づける工夫がなされているものの実現が困難である。

【0012】したがって本発明の目的は、開放ビット線方式のメモリセルのビット線方向およびワード線方向のピッチを6Fおよび2Fにしてこのセルサイズを6F²にできるDRAMを提供することにある。

【0013】

【課題を解決するための手段】本発明の半導体記憶装置の第1の態様の特徴は、半導体基板の表面に設けられたトランジスタと、トランジスタの上部に設けられたビット線と、容量下部電極、容量絶縁膜および容量上部電極からなるビット線の上部に設けられたキャパシタとによりメモリセルが構成され、上記半導体基板の表面の素子分離領域に設けられたフィールド酸化膜によって画定された矩形素子領域はそれぞれ所定の間隔を有してこの半導体基板の表面に配置され、これらの矩形素子領域はこれらの矩形素子領域の長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つのこれらの矩形素子領域はこれらの矩形素子領域の長辺方向になすピッチの1/3ピッチずつ順にずれて配置され、これらの矩形素子領域にはそれぞれ2つの上記トランジスタが設けられ、2つの上記トランジスタは、上記矩形素子領域の表面に設けられたゲート酸化膜を介してこれらの矩形素子領域の長辺方向と直交し、上記半導体基板の表面上に設けられた平行な2つのワード線と、このフィールド酸化膜および2つのこれらのワード線に挟まれてこれらの矩形素子領域の表面の中央に設けられた第1の拡散層と、このフィールド酸化膜および1つのこれらのワード線に挟まれてこれらの矩形素子領域の表面の両端に設けられた2つの第2の拡散層とから構成され、ビットコンタクト孔を介して上記第1の拡散層に接続される上記ビット線が上記素子領域列に沿って上記ワード線と直交してこれらのワード線の上部に配置され、局所コンタクト孔を介してそれぞれの上記矩形素子領域に設けられた2つの上記第2の拡散層に接続する2つの局所配線が、上記ワード線に平行に、かつそれぞれ逆向に上記

フィールド酸化膜上まで延在して配置され、上記ビット線の間に設けられた容量コンタクト孔を介して上記フィールド酸化膜上まで延在された上記局所配線の一端に接続される上記容量下部電極が、上記ビット線の上部に形成されることにある。好ましくは、上記容量下部電極の上記半導体基板表面への投影面の形状が矩形をなし、これらの投影面の長手方向が上記ワード線もしくは上記ビット線に平行である。

【0014】本発明の半導体記憶装置の第2の態様の特徴は、半導体基板の表面に設けられたトランジスタと、トランジスタの上部に設けられたビット線と、容量下部電極、容量絶縁膜および容量上部電極からなるビット線の上部に設けられたキャパシタとによりメモリセルが構成され、上記半導体基板の表面の素子分離領域に設けられたフィールド酸化膜によって画定された矩形素子領域はそれぞれ所定の間隔を有してこの半導体基板の表面に配置され、これらの矩形素子領域はこれらの矩形素子領域の長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つのこれらの矩形素子領域はこれらの矩形素子領域の長辺方向になすピッチの1/3ピッチずつずれて配置され、これらの矩形素子領域にはそれぞれ2つの上記トランジスタが設けられ、2つの上記トランジスタは、上記矩形素子領域の表面に設けられたゲート酸化膜を介してこれらの矩形素子領域の長辺方向と直交し、上記半導体基板の表面上に設けられた平行な2つのワード線と、このフィールド酸化膜および2つのこれらのワード線に挟まれてこれらの矩形素子領域の表面の中央に設けられた第1の拡散層と、このフィールド酸化膜および1つのこれらのワード線に挟まれてこれらの矩形素子領域の表面の両端に設けられた2つの第2の拡散層とから構成され、局所コンタクト孔を介してそれぞれの上記矩形素子領域に設けられたこれらの第1の拡散層に接続する局所配線が、上記ワード線に平行な一定の方向に上記フィールド酸化膜上まで延在して配置され、ビットコンタクト孔を介して上記フィールド酸化膜上まで延在された上記局所配線の一端に接続される上記ビット線が、上記ワード線の上においてこれらのワード線に直交し、上記素子領域列平行に、かつ2つのこれらの素子領域列の間に沿って配置され、容量コンタクト孔を介して上記第2の拡散層に接続される上記容量下部電極が、上記ビット線の上部に形成されることにある。好ましくは、異なる素子領域列に属して隣接する2つの上記矩形素子領域がこれらの矩形素子領域の長辺方向になすピッチの1/3ピッチずつ順もしくは交互にずれて配置されている。さらに好ましくは、上記容量下部電極の上記半導体基板表面への投影面の形状が矩形をなし、これらの投影面の長手方向が上記ワード線もしくは上記ビット線に平行である。

【0015】

【発明の実施の形態】次に本発明について図面を参照し

て説明する。

【0016】半導体記憶装置の平面図および断面図である図1および図2と回路図である図3とを参照すると、本発明の第1の実施の形態の一実施例によるDRAMのメモリセルは以下のようにになっている。ここで、図1は階層化された平面図であり、図1(a)は素子領域とワード線と局所配線との配置関係を示し、図1(b)は局所配線とビット線との配置関係を示し、図1(c)はビット線とキャパシタの容量下部電極との配置関係を示している。図2(a)、(b)および(c)は、図1のA-A線、B-B線およびC-C線での断面図である。

【0017】P型シリコン基板101表面の素子分離領域にはフィールド酸化膜102が設けられ、フィールド酸化膜102により画定されたP型シリコン基板101表面には矩形素子領域103が設けられている。矩形素子領域103は(矩形素子領域103の)長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの矩形素子領域103は(矩形素子領域103の)長辺方向になすピッチ(2F)の1/3ピッチ(2F)ずつ順にずれて配置され、それぞれの矩形素子領域103にはそれぞれ2つのトランジスタ121が設けられている。素子領域列のピッチは2Fである。それぞれの矩形素子領域103の表面上には、矩形素子領域103の表面に設けられたゲート酸化膜104を介して、ゲート電極を兼たそれぞれ2つのワード線105が設けられている。ワード線105は矩形素子領域103の長辺方向に対して直交し、2Fのピッチを有して配置されている。それぞれの矩形素子領域103には、ワード線105、フィールド酸化膜102に自己整合的に、1つのN型拡散層106Aと2つのN型拡散層106Bとが設けられている。トランジスタ121は、P型シリコン基板101、ゲート酸化膜104、ワード線105、N型拡散層106Aおよび106Bから構成されている。

【0018】トランジスタ121を含めてフィールド酸化膜102の表面は、層間絶縁膜107により覆われている。局所コンタクト孔108は、層間絶縁膜107を貫通してN型拡散層106Bに達している。局所コンタクト孔108を介してN型拡散層106Bに直接に接続される局所配線109は、ワード線105に平行にフィールド酸化膜102上に延在している。さらに1つの矩形素子領域103に接続された2つの局所配線109の延在方向は、逆向になっている。局所コンタクト孔108の上端がワード線105の上部に位置していることから、局所コンタクト孔108を充填する部分を除いた部分での局所配線109はワード線105の上部に設けられている。局所配線109を含めて層間絶縁膜107の表面は、層間絶縁膜110により覆われている。ビットコンタクト孔111は、層間絶縁膜110、107を貫通してN型拡散層106Aに達している。ビットコンタ

クト孔111は、N型拡散層106Aに直接に接続されるコンタクトプラグ112により充填されている。層間絶縁膜110表面上に設けられたビット線113は、ビットコンタクト孔111の上端においてコンタクトプラグ112に直接に接続されて、N型拡散層106Aに接続される。これらのビット線113は、ワード線105および局所配線109の上部に設けられ、上記素子領域列に沿って2Fのピッチを有して配置されている。

【0019】ビット線113を含めて層間絶縁膜110の表面は、層間絶縁膜114により覆われている。容量コンタクト孔115は、層間絶縁膜114、110を貫通して、フィールド酸化膜102上の部分での局所配線109の一端に達する。容量コンタクト孔115は、局所配線109に直接に接続されるコンタクトプラグ116により充填されている。層間絶縁膜114表面上に設けられた容量下部電極117は、容量コンタクト孔115の上端においてコンタクトプラグ116に直接に接続されて、それぞれの局所配線109に接続される。容量コンタクト孔115の上端がビット線113の上部に位置していることから、容量下部電極117はワード線105並びにビット線113の上部に設けられている。キャパシタ122は、容量下部電極117と、容量下部電極117の表面を覆う容量絶縁膜118と、さらに容量絶縁膜118の表面を覆う容量上部電極119とにより構成されている。

【0020】本第1の実施の形態の本一実施例では、異なる素子領域列に属して隣接する2つの矩形素子領域103を（矩形素子領域103の）長辺方向になすピッチ（6F）の1/3ピッチ（2F）ずつ順にずらして配置し、さらにN型拡散層106Bに接続する局所配線109を設けることにより、矩形素子領域103のビット線113方向のピッチを6Fにするのみではなく、矩形素子領域103のワード線105方向のピッチを2Fにすることが可能になる。このため本第1の実施の形態の本一実施例の採用により、COB構造で開放ビット線方式のメモセルのセルサイズを6F²にすることが容易になる。

【0021】また、本第1の実施の形態の本一実施例では、トランジスタ121とキャパシタ122とからなるメモセルの配置は、次の2通りになる。第n番地のビット線に属するメモセルが第（3m-2）番地、第（3m-1）番地のワード線に属し、第（n+1）番地のビット線に属するメモセルが第（3m-1）番地、第3m番地のワード線に属するならば、第（n-1）番地のビット線に属するメモセルは第（3m-2）番地、第3m番地のワード線に属する。あるいは、第n番地のビット線に属するメモセルが第（3m-2）番地、第（3m-1）番地のワード線に属し、第（n+1）番地のビット線に属するメモセルが第（3m-2）番地、第（3m-1）番地のワード線に属するならば

ば、第（n-1）番地のビット線に属するメモセルは第（3m-1）番地、第3m番地のワード線に属する。

【0022】半導体記憶装置の平面図および断面図である図4および図5と回路図である図6とを参照すると、本発明の第2の実施の形態の一実施例によるDRAMのメモセルは以下のようにになっている。ここで、図4も階層化された平面図であり、図4（a）は素子領域とワード線と局所配線との配置関係を示し、図4（b）は素子領域と局所配線とビット線との配置関係を示し、図4（c）はビット線とキャパシタの容量下部電極との配置関係を示している。図5（a）、（b）および（c）は、図4のAA線、BB線およびCC線での断面図である。なお、本第2に実施の形態によるDRAMの回路図である図6は上記第1の実施の形態の上記一実施例の回路図である図3と実質的に同じになっている。

【0023】P型シリコン基板201表面の素子分離領域にはフィールド酸化膜202が設けられ、フィールド酸化膜202により画定されたP型シリコン基板201表面には矩形素子領域203が設けられている。矩形素子領域203は（矩形素子領域203の）長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの矩形素子領域203は（矩形素子領域203の）長辺方向になすピッチ（6F）の1/3ピッチ（2F）ずつ順にずれて配置され、それぞれの矩形素子領域203にはそれぞれ2つのトランジスタ221が設けられている。素子領域列のピッチは2Fである。それぞれの矩形素子領域203の表面上には、矩形素子領域203の表面に設けられたゲート酸化膜204を介して、ゲート電極を兼たそれぞれ2つのワード線205が設けられている。ワード線205は矩形素子領域203の長辺方向に対して直交し、2Fのピッチを有して配置されている。それぞれの矩形素子領域203には、ワード線205、フィールド酸化膜202に自己整合的に、1つのN型拡散層206Aと2つのN型拡散層206Bとが設けられている。本第2の実施の形態の本一実施例のトランジスタ221も、P型シリコン基板201、ゲート酸化膜204、ワード線205、N型拡散層206Aおよび206Bから構成されている。

【0024】トランジスタ221を含めてフィールド酸化膜202の表面は、層間絶縁膜207により覆われている。局所コンタクト孔208は、層間絶縁膜207を貫通してN型拡散層206Aに達している。局所コンタクト孔208を介してN型拡散層206Aに直接に接続される局所配線209は、ワード線205に平行、かつ同じ向にフィールド酸化膜202上に延在している。局所コンタクト孔208の上端もワード線205の上部に位置していることから、局所コンタクト孔208を充填する部分を除いた部分での局所配線209はワード線205の上部に設けられている。局所配線209を含めて層間絶縁膜207の表面は、層間絶縁膜210により覆

11

われている。層間絶縁膜210を貫通して、フィールド酸化膜202上の部分での局所配線209の一端に達するビットコンタクト孔211は、局所配線209に直接に接続されるコンタクトプラグ212により充填されている。層間絶縁膜210表面上に設けられたビット線213は、ビットコンタクト孔211の上端においてコンタクトプラグ212に直接に接続されて、局所配線209を介してN型拡散層206Aに接続される。これらのビット線213は、ワード線205および局所配線209の上部に設けられ、上記素子領域列に沿って2Fのピッチを有して配置されている。

【0025】ビット線213を含めて層間絶縁膜210の表面は、層間絶縁膜214により覆われている。容量コンタクト孔215は、層間絶縁膜214、210、207を貫通して、N型拡散層206Bに達する。容量コンタクト孔215は、N型拡散層206Bに直接に接続されるコンタクトプラグ216により充填されている。容量下部電極217は、容量コンタクト孔215の上端においてコンタクトプラグ216に直接に接続されて、それぞれのN型拡散層206Bに接続される。容量コンタクト孔215の上端がビット線213の上部に位置していることから、容量下部電極217はワード線205並びにビット線213の上部に設けられている。本第2の実施の形態の本一実施例のキャパシタ222は、容量下部電極217と、容量下部電極217の表面を覆う容量絶縁膜218と、さらに容量絶縁膜218の表面を覆う容量上部電極219とにより構成されている。

【0026】本第2の実施の形態の本一実施例における容量下部電極217は、P型シリコン基板201表面への投影面の形状が矩形をなし、これらの投影面の長手方向がワード線205に平行に、N型拡散層206B上からフィールド酸化膜202上に延在している。さらに、1つの矩形素子領域203に属する2つの容量下部電極217の延在方向は逆向であり、同じ向に延在する容量下部電極217は矩形素子領域のずれと同期して配置されている。

【0027】上述したように本第2の実施の形態の一実施例では、異なる素子領域列に属して隣接する2つの矩形素子領域203を(矩形素子領域203の)長辺方向になすピッチ(6F)の1/3ピッチ(2F)ずつ順にずらして配置し、さらにN型拡散層206Bに接続する局所配線209を設けることにより、矩形素子領域203のビット線213方向のピッチを6Fにするのみならず、矩形素子領域203のワード線205方向のピッチを2Fにすることが可能になる。このため、本第2の実施の形態の一実施例によれば、COB構造で開放ビット線方式のメモセルのセルサイズを $6F^2$ にすることが容易になる。

【0028】また、本第2の実施の形態の本一実施例も上記第1の実施の形態の上記一実施例と同様に、ラン

12

ジスタ221とキャパシタ222とからなるメモセルの配置は、次の2通りになる。第n番地のビット線に属するメモセルが第(3m-2)番地、第(3m-1)番地のワード線に属して、第(n+1)番地のビット線に属するメモセルが第(3m-1)番地、第3m番地のワード線に属するならば、第(n-1)番地のビット線に属するメモセルは第(3m-2)番地、第3m番地のワード線に属する。あるいは、第n番地のビット線に属するメモセルが第(3m-2)番地、第(3m-1)番地のワード線に属して、第(n+1)番地のビット線に属するメモセルが第(3m-2)番地、第3m番地のワード線に属するならば、第(n-1)番地のビット線に属するメモセルは第(3m-1)番地、第3m番地のワード線に属する。

【0029】なお、上記第2の実施の形態の上記一実施例は、異なる素子領域列に属して隣接する2つの矩形素子領域を矩形素子領域の長辺方向になすピッチの1/3ピッチずつ順にずらして配置したものに関するものである。本第2の実施の形態はこの一実施例に限定されるものではなく、異なる素子領域列に属して隣接する2つの矩形素子領域を矩形素子領域の長辺方向になすピッチの1/3ピッチずつ交互にずらして配置したものに対しても適用できる。

【0030】半導体記憶装置の平面図および断面図である図7および図8と回路図である図9とを参照すると、本発明の第3の実施の形態の第1の実施例によるDRAMのメモセルは以下のようにになっている。ここで、図7も階層化された平面図であり、図7(a)は素子領域とワード線と局所配線との配置関係を示し、図7(b)は素子領域と局所配線とビット線との配置関係を示し、図7(c)はビット線とキャパシタの容量下部電極との配置関係を示している。図8(a)、(b)および(c)は、図7のAA線、BB線およびCC線での断面図である。なお、本第3の実施の形態の本第1の実施例によるDRAMの回路図である図9も上記第1の実施の形態の上記一実施例の回路図である図3と実質的に同じになっている。

【0031】P型シリコン基板301a表面の素子分離領域にはフィールド酸化膜302aが設けられ、フィールド酸化膜302aにより画定されたP型シリコン基板301a表面には矩形素子領域303aが設けられている。矩形素子領域303aは(矩形素子領域303aの)長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの矩形素子領域303aは(矩形素子領域303aの)長辺方向になすピッチ(6F)の1/3ピッチ(2F)ずつ順にずれて配置され、それぞれの矩形素子領域303aにはそれぞれ2つのトランジスタが設けられている。素子領域列のピッチは2Fである。それぞれの矩形素子領域303aの表面上には、矩形素子領域303aの表面に設けられたゲー

13

ト酸化膜 304a を介して、ゲート電極を兼たそれぞれ 2 つのワード線 305a が設けられている。ワード線 305a は矩形素子領域 303a の長辺方向に対して直交し、2F のピッチを有して配置されている。それぞれの矩形素子領域 303a には、ワード線 305a、フィールド酸化膜 302a に自己整合的に、1 つの N 型拡散層 306Aa と 2 つの N 型拡散層 306Ba とが設けられている。本第 3 の実施の形態の本第 1 の実施例のトランジスタ 321a も、P 型シリコン基板 301a、ゲート酸化膜 304a、ワード線 305a、N 型拡散層 306Aa および 306Ba から構成されている。

【0032】トランジスタ 321a を含めてフィールド酸化膜 302a の表面は、層間絶縁膜 307a により覆われている。局所コンタクト孔 308a は、層間絶縁膜 302 を貫通して N 型拡散層 306Aa に達している。局所コンタクト孔 308a を介して N 型拡散層 306Aa に直接に接続される局所配線 309a は、ワード線 305a に平行、かつ同じ向にフィールド酸化膜 302a 上に延在している。局所コンタクト孔 308a の上端もワード線 305a の上部に位置していることから、局所コンタクト孔 308a を充填する部分を除いた部分での局所配線 309a はワード線 305a の上部に設けられている。局所配線 309a を含めて層間絶縁膜 307a の表面は、層間絶縁膜 310a により覆われている。層間絶縁膜 310a を貫通して、フィールド酸化膜 302a 上の部分での局所配線 309a の一端に達するビットコンタクト孔 311a は、局所配線 309a に直接に接続されるコンタクトプラグ 312a により充填されている。層間絶縁膜 310a 表面上に設けられたビット線 313a は、ビットコンタクト孔 311a の上端においてコンタクトプラグ 312a に直接に接続されて、局所配線 309a を介して N 型拡散層 306Aa に接続される。これらのビット線 313a は、ワード線 305a および局所配線 309a の上部に設けられ、上記素子領域列に沿って 2F のピッチを有して配置されている。

【0033】ビット線 313a を含めて層間絶縁膜 310a の表面は、層間絶縁膜 314a により覆われている。容量コンタクト孔 315a は、層間絶縁膜 314a、310a、307a を貫通して、N 型拡散層 306Ba に達する。容量コンタクト孔 315a は、N 型拡散層 306Ba に直接に接続されるコンタクトプラグ 316a により充填されている。容量下部電極 317a は、容量コンタクト孔 315a の上端においてコンタクトプラグ 316a に直接に接続されて、それぞれの N 型拡散層 306Ba に接続される。容量コンタクト孔 315a の上端がビット線 313a の上部に位置していることから、容量下部電極 317a はワード線 305a 並びにビット線 313a の上部に設けられている。本第 3 の実施の形態の本第 1 の実施例における容量下部電極 317a は、P 型シリコン基板 301a 表面への投影面の形状が

14

矩形をなし、これらの投影面の長手方向がビット線 313a に平行に、N 型拡散層 306Ba 上から同じ矩形素子領域 303a 上を直交するワード電極 305a 上に延在している。本第 3 の実施の形態の本第 1 の実施例のキャパシタ 322a は、容量下部電極 317a と、容量下部電極 317a の表面を覆う容量絶縁膜 318a と、さらに容量絶縁膜 318a の表面を覆う容量上部電極 319a とにより構成されている。

【0034】上述したように本第 3 の実施の形態の本第 1 の実施例では、異なる素子領域列に属して隣接する 2 つの矩形素子領域 303a を（矩形素子領域 303a の）長辺方向になすピッチ（6F）の 1/3 ピッチ（2F）ずつ順にずらして配置し、さらに N 型拡散層 306Ba に接続する局所配線 309a を設けることにより、矩形素子領域 303a のビット線 313a 方向のピッチを 6F にするのみならず、矩形素子領域 303a のワード線 305a 方向のピッチを 2F にすることが可能になる。このため、本第 3 の実施の形態の本第 1 の実施例によれば、COB 構造で開放ビット線方式のメモセルのセルサイズを $6F^2$ にすることが容易になる。

【0035】また、本第 3 の実施の形態の本第 1 の実施例も上記第 1、第 2 の実施の形態の上記一実施例と同様に、トランジスタ 321a とキャパシタ 322a とからなるメモセルの配置は、次の 2 通りになる。第 n 番地のビット線に属するメモセルが第（3m-2）番地、第（3m-1）番地のワード線に属して、第（n+1）番地のビット線に属するメモセルが第（3m-1）番地、第 3m 番地のワード線に属するならば、第（n-1）番地のビット線に属するメモセルは第（3m-2）番地、第 3m 番地のワード線に属する。あるいは、第 n 番地のビット線に属するメモセルが第（3m-2）番地、第（3m-1）番地のワード線に属して、第（n+1）番地のビット線に属するメモセルが第（3m-2）番地、第 3m 番地のワード線に属するならば、第（n-1）番地のビット線に属するメモセルは第（3m-1）番地、第 3m 番地のワード線に属する。

【0036】半導体記憶装置の平面図および断面図である図 10 および図 11 と回路図である図 12 とを参照すると、本発明の第 3 の実施の形態の第 2 の実施例による DRAM のメモセルは以下のようになっている。ここで、図 10 も階層化された平面図であり、図 10（a）は素子領域とワード線と局所配線との配置関係を示し、図 10（b）は素子領域と局所配線とビット線との配置関係を示し、図 10（c）はビット線とキャパシタの容量下部電極との配置関係を示している。図 11（a）、（b）および（c）は、図 10 の AA 線、BB 線および CC 線での断面図である。

【0037】P 型シリコン基板 301b 表面の素子分離領域にはフィールド酸化膜 302b が設けられ、フィールド酸化膜 302b により画定された P 型シリコン基板

301b 表面には矩形素子領域 303b が設けられている。矩形素子領域 303b は (矩形素子領域 303b の) 長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する 2 つの矩形素子領域 303b は (矩形素子領域 303b の) 長辺方向になすピッチ (6F) の 1/3 ピッチ (2F) ずつ交互にずれて配置され、それぞれの矩形素子領域 303b にはそれぞれ 2 つのトランジスタが設けられている。素子領域列のピッチは 2F である。それぞれの矩形素子領域 303b の表面上には、矩形素子領域 303b の表面に設けられたゲート酸化膜 304b を介して、ゲート電極を兼ねたそれぞれ 2 つのワード線 305b が設けられている。ワード線 305b は矩形素子領域 303b の長辺方向に対して直交し、2F のピッチを有して配置されている。それぞれの矩形素子領域 303b には、ワード線 305b、フィールド酸化膜 302b に自己整合的に、1 つの N 型拡散層 306Ab と 2 つの N 型拡散層 306Bb とが設けられている。本第 3 の実施の形態の本第 2 の実施例のトランジスタ 321b も、P 型シリコン基板 301b、ゲート酸化膜 304b、ワード線 305b、N 型拡散層 306Ab および 306Bb から構成されている。

【0038】トランジスタ 321b を含めてフィールド酸化膜 302b の表面は、層間絶縁膜 307b により覆われている。局所コンタクト孔 308b は、層間絶縁膜 302b を貫通して N 型拡散層 306Ab に達している。局所コンタクト孔 308b を介して N 型拡散層 306Ab に直接に接続される局所配線 309b は、ワード線 305b に平行、かつ同じ向にフィールド酸化膜 302b 上に延在している。局所コンタクト孔 308b の上端もワード線 305b の上部に位置していることから、局所コンタクト孔 308b を充填する部分を除いた部分での局所配線 309b はワード線 305b の上部に設けられている。局所配線 309b を含めて層間絶縁膜 307b の表面は、層間絶縁膜 310b により覆われている。層間絶縁膜 310b を貫通して、フィールド酸化膜 302b 上の部分での局所配線 309b の一端に達するビットコンタクト孔 311b は、局所配線 309b に直接に接続されるコンタクトプラグ 312b により充填されている。層間絶縁膜 310b 表面上に設けられたビット線 313b は、ビットコンタクト孔 311b の上端においてコンタクトプラグ 312b に直接に接続されて、局所配線 309b を介して N 型拡散層 306Ab に接続される。これらのビット線 313b は、ワード線 305b および局所配線 309b の上部に設けられ、上記素子領域列に沿って 2F のピッチを有して配置されている。

【0039】ビット線 313b を含めて層間絶縁膜 310b の表面は、層間絶縁膜 314b により覆われている。容量コンタクト孔 315b は、層間絶縁膜 314b、310b、307b を貫通して、N 型拡散層 306Bb に達する。容量コンタクト孔 315b は、N 型拡散

層 306Bb に直接に接続されるコンタクトプラグ 316b により充填されている。容量下部電極 317b は、容量コンタクト孔 315b の上端においてコンタクトプラグ 316b に直接に接続されて、それぞれの N 型拡散層 306Bb に接続される。容量コンタクト孔 315b の上端がビット線 313b の上部に位置していることから、容量下部電極 317b はワード線 305b 並びにビット線 313b の上部に設けられている。本第 3 の実施の形態の本第 2 の実施例における容量下部電極 317b は、P 型シリコン基板 301b 表面への投影面の形状が矩形をなし、これらの投影面の長手方向がビット線 313b に平行に、N 型拡散層 306Bb 上から同じ矩形素子領域 303b 上を直交するワード電極 305b 上に延在している。本第 3 の実施の形態の本第 2 の実施例のキャパシタ 322b は、容量下部電極 317b と、容量下部電極 317b の表面を覆う容量絶縁膜 318b と、さらに容量絶縁膜 318b の表面を覆う容量上部電極 319b とにより構成されている。

【0040】上述したように本第 3 の実施の形態の本第 2 の実施例では、異なる素子領域列に属して隣接する 2 つの矩形素子領域 303b を (矩形素子領域 303b の) 長辺方向になすピッチ (6F) の 1/3 ピッチ (2F) ずつ交互にずらして配置し、さらに N 型拡散層 306Bb に接続する局所配線 309b を設けることにより、矩形素子領域 303b のビット線 313b 方向のピッチを 6F にするのみならず、矩形素子領域 303b のワード線 305b 方向のピッチを 2F にすることが可能になる。このため、本第 3 の実施の形態の本第 2 の実施例によれば、COB 構造で開放ビット線方式のメモセルのセルサイズを $6F^2$ にすることが容易になる。

【0041】本第 3 の実施の形態の本第 2 の実施例のトランジスタ 321b とキャパシタ 322b とからなるメモセルの配置は、本第 3 の実施の形態の上記第 1 の実施例と相違して、次のようになる。第 n 番地のビット線に属するメモセルが第 (3m-2) 番地、第 (3m-1) 番地のワード線に属するとき、例えば、第 (n+1) 番地のビット線に属するメモセルが第 (3m-1) 番地、第 3m 番地のワード線に属するならば、第 (n-1) 番地のビット線に属するメモセルは第 (3m-1) 番地、第 3m 番地のワード線に属することになる。

【0042】半導体記憶装置の平面図および断面図である図 13 および図 14 と回路図である図 15 とを参照すると、本発明の第 3 の実施の形態の第 3 の実施例による DRAM のメモセルは以下のようになっている。ここで、図 13 も階層化された平面図であり、図 13 (a) は素子領域とワード線と局所配線との配置関係を示し、図 13 (b) は素子領域と局所配線とビット線との配置関係を示し、図 13 (c) はビット線とキャパシタの容量下部電極との配置関係を示している。図 14 (a)、

17

(b) および (c) は、図13のAA線、BB線およびCC線での断面図である。

【0043】P型シリコン基板301c表面の素子分離領域にはフィールド酸化膜302cが設けられ、フィールド酸化膜302cにより画定されたP型シリコン基板301c表面には矩形素子領域303cが設けられている。矩形素子領域303cは(矩形素子領域303cの)長辺方向に沿って複数の素子領域列をなし、異なる素子領域列に属して隣接する2つの矩形素子領域303cは(矩形素子領域303cの)長辺方向になすピッチ(6F)の1/3ピッチ(2F)ずつずれて配置されていることには変りはないが、このずれかたは順でも交互でもなく不規則である。それぞれの矩形素子領域303cにはそれぞれ2つのトランジスタが設けられている。素子領域列のピッチは2Fである。それぞれの矩形素子領域303cの表面上には、矩形素子領域303cの表面に設けられたゲート酸化膜304cを介して、ゲート電極を兼たそれぞれ2つのワード線305cが設けられている。ワード線305cは矩形素子領域303cの長辺方向に対して直交し、2Fのピッチを有して配置されている。それぞれの矩形素子領域303cには、ワード線305c、フィールド酸化膜302cに自己整合的に、1つのN型拡散層306Acと2つのN型拡散層306Bcとが設けられている。本第3の実施の形態の本第3の実施例のトランジスタ321cも、P型シリコン基板301c、ゲート酸化膜304c、ワード線305c、N型拡散層306Acおよび306Bcから構成されている。

【0044】トランジスタ321cを含めてフィールド酸化膜302cの表面は、層間絶縁膜307cにより覆われている。局所コンタクト孔308cは、層間絶縁膜302cを貫通してN型拡散層306Acに達している。局所コンタクト孔308cを介してN型拡散層306Acに直接に接続される局所配線309cは、ワード線305cに平行、かつ同じ向にフィールド酸化膜302c上に延在している。局所コンタクト孔308cの上端もワード線305cの上部に位置していることから、局所コンタクト孔308cを充填する部分を除いた部分での局所配線309cはワード線305cの上部に設けられている。局所配線309cを含めて層間絶縁膜307cの表面は、層間絶縁膜310cにより覆われている。層間絶縁膜310cを貫通して、フィールド酸化膜302c上の部分での局所配線309cの一端に達するビットコンタクト孔311cは、局所配線309cに直接に接続されるコンタクトプラグ312cにより充填されている。層間絶縁膜310c表面上に設けられたビット線313cは、ビットコンタクト孔311cの上端においてコンタクトプラグ312cに直接に接続されて、局所配線309cを介してN型拡散層306Acに接続される。これらのビット線313cは、ワード線305cお

18

よび局所配線309cの上部に設けられ、上記素子領域列に沿って2Fのピッチを有して配置されている。

【0045】ビット線313cを含めて層間絶縁膜310cの表面は、層間絶縁膜314cにより覆われている。容量コンタクト孔315cは、層間絶縁膜314c、310c、307cを貫通して、N型拡散層306Bcに達する。容量コンタクト孔315cは、N型拡散層306Bcに直接に接続されるコンタクトプラグ316cにより充填されている。容量下部電極317cは、容量コンタクト孔315cの上端においてコンタクトプラグ316cに直接に接続されて、それぞれのN型拡散層306Bcに接続される。容量コンタクト孔315cの上端がビット線313cの上部に位置していることから、容量下部電極317cはワード線305c並びにビット線313cの上部に設けられている。本第3の実施の形態の本第2の実施例における容量下部電極317cは、P型シリコン基板301c表面への投影面の形状が矩形をなし、これらの投影面の長手方向がビット線313cに平行に、N型拡散層306Bc上から同じ矩形素子領域303c上を直交するワード電極305c上に延在している。本第3の実施の形態の本第2の実施例のキャパシタ322cは、容量下部電極317cと、容量下部電極317cの表面を覆う容量絶縁膜318cと、さらに容量絶縁膜318cの表面を覆う容量上部電極319cとにより構成されている。

【0046】上述したように本第3の実施の形態の本第3の実施例では、異なる素子領域列に属して隣接する2つの矩形素子領域303cを(矩形素子領域303cの)長辺方向になすピッチ(6F)の1/3ピッチ(2F)ずつ不規則にずらして配置し、さらにN型拡散層306Bcに接続する局所配線309cを設けることにより、矩形素子領域303cのビット線313c方向のピッチを6Fにするのみならず、矩形素子領域303cのワード線305c方向のピッチを2Fにすることが可能になる。このため、本第3の実施の形態の本第2の実施例によれば、COB構造で開放ビット線方式のメモセルのセルサイズを6F²にすることが容易になる。

【0047】本第3の実施の形態の本第3の実施例のトランジスタ321cとキャパシタ322cとからなるメモセルの配置は、本第3の実施の形態の上記第1、第2の実施例と相違して、次のようになる。第n番地のビット線に属するメモセルが第(3m-2)番地、第(3m-1)番地のワード線に属するとき、例えば、第(n+1)番地のビット線に属するメモセルが第(3m-1)番地、第3m番地のワード線に属したとしても、第(n-1)番地のビット線に属するメモセルは、第(3m-1)番地、第3m番地のワード線に属する場合と、第(3m-2)番地、第3m番地のワード線に属する場合とがある。

【0048】

【発明の効果】以上説明したように本発明の半導体記憶装置では、矩形素子領域に2つのトランジスタが設けられ、矩形素子領域がその長辺方向に素子領域列をなし、異なる素子領域列に属して隣接する2つの矩形素子領域を(矩形素子領域の)長辺方向になすピッチ(6F)の1/3ピッチ(2F)ずつずらして配置し、さらに矩形素子領域に設けられたN型拡散層の一方に接続する局所配線をワード線に平行に設けることにより、矩形素子領域のビット線方向のピッチを6Fにするのみならず、矩形素子領域のワード線方向のピッチを2Fにすることが可能になる。このため、本発明によれば、COB構造で開放ビット線方式のメモセルのセルサイズを6F²にすることが容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の一実施例による半導体記憶装置の平面図である。

【図2】上記第1の実施の形態の上記一実施例による半導体記憶装置の断面図であり、図1のAA線、BB線およびCC線での断面図である。

【図3】上記第1の実施の形態の上記一実施例による半導体記憶装置の回路図である。

【図4】本発明の第2の実施の形態の一実施例による半導体記憶装置の平面図である。

【図5】上記第2の実施の形態の上記一実施例による半導体記憶装置の断面図であり、図4のAA線、BB線およびCC線での断面図である。

【図6】上記第2の実施の形態の上記一実施例による半導体記憶装置の回路図である。

【図7】本発明の第3の実施の形態の第1の実施例による半導体記憶装置の平面図である。

【図8】上記第3の実施の形態の上記第1の実施例による半導体記憶装置の断面図であり、図7のAA線、BB線およびCC線での断面図である。

【図9】上記第3の実施の形態の上記第1の実施例による半導体記憶装置の回路図である。

【図10】本発明の第3の実施の形態の第2の実施例による半導体記憶装置の平面図である。

【図11】上記第3の実施の形態の上記第2の実施例による半導体記憶装置の断面図であり、図10のAA線、BB線およびCC線での断面図である。

【図12】上記第3の実施の形態の上記第2の実施例による半導体記憶装置の回路図である。

【図13】本発明の第3の実施の形態の第3の実施例による半導体記憶装置の平面図である。

【図14】上記第3の実施の形態の上記第3の実施例に

よる半導体記憶装置の断面図であり、図13のAA線、BB線およびCC線での断面図である。

【図15】上記第3の実施の形態の上記第3の実施例による半導体記憶装置の回路図である。

【図16】従来の半導体記憶装置の平面図である。

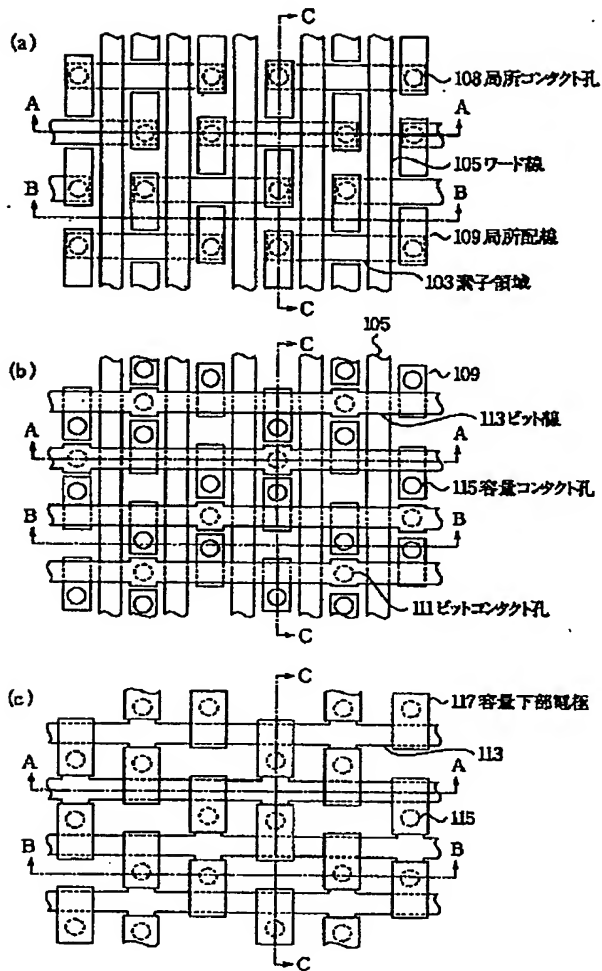
【図17】上記従来の半導体記憶装置の断面図であり、図16のAA線およびBB線での断面図である。

【図18】別の従来の半導体記憶装置の平面図である。

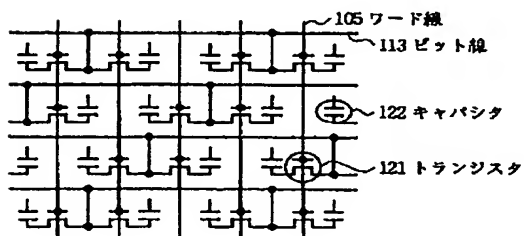
【符号の説明】

101, 201, 301a~301c, 401	P型シリコン基板
102, 202, 302a~302c, 402	フィールド酸化膜
103, 203, 303a~303c, 403a, 403b	矩形素子領域
104, 204, 304a~304c, 404	ゲート酸化膜
105, 205, 305a~305c, 405a, 405b	ワード線
106A, 106B, 206A, 206B, 306Aa~306Ac, 306Ba~306Bc, 406A, 406B	N型拡散層
107, 110, 114, 207, 210, 214, 307a~307c, 310a~310c, 314a~314c	層間絶縁膜
108, 208, 308a~308c, 408a, 408b	局所コンタクト孔
109, 209, 309a~309c, 409a, 409b	局所配線
111, 211, 311a~311c, 411a, 411b	ビットコンタクト孔
112, 116, 212, 216, 312a~312c, 316a~316c, 412	コンタクトプラグ
113, 213, 313a~313c, 413a, 413b	ビット線
115, 215, 315a~315c, 415	容量コンタクト孔
117, 217, 317a~317c, 417	容量下部電極
118, 218, 318a~318c	容量絶縁膜
119, 219, 319a~319c, 419	容量上部電極
121, 221, 321a~321c	トランジスタ
122, 222, 322a~322c	キャパシタ
424	ビット線と重ならない領域

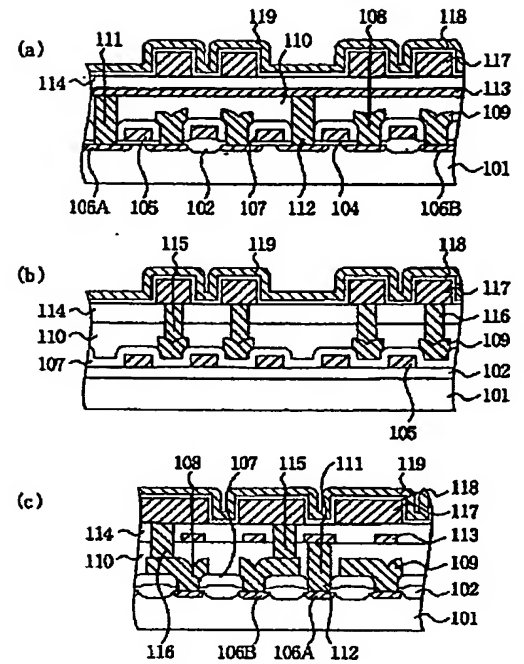
【図1】



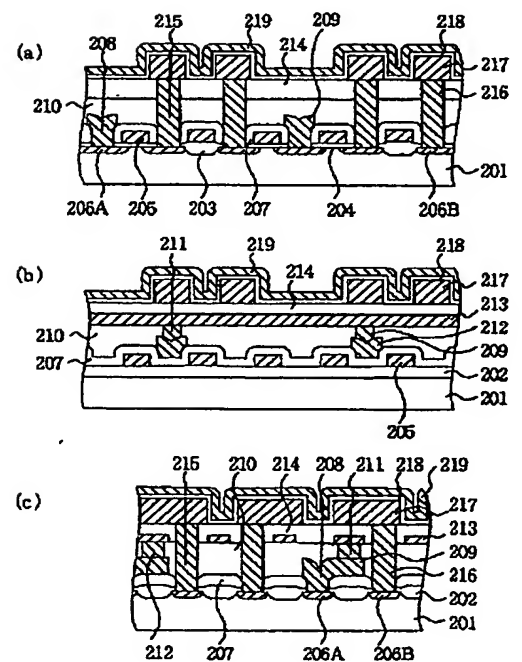
【図3】



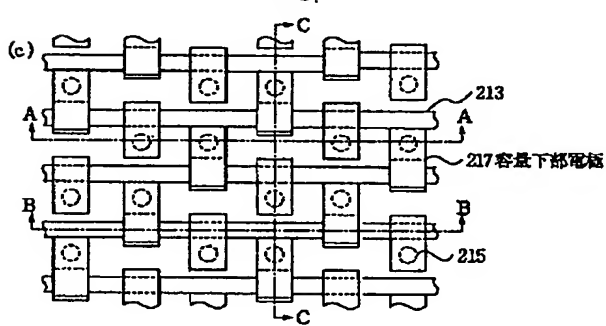
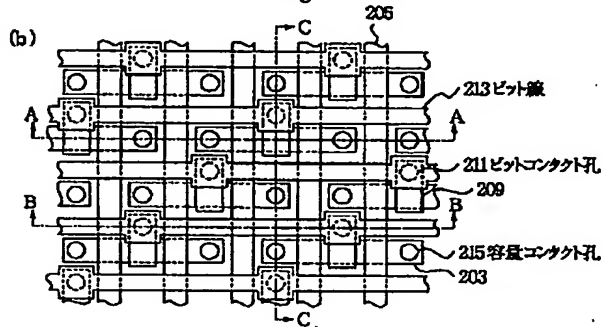
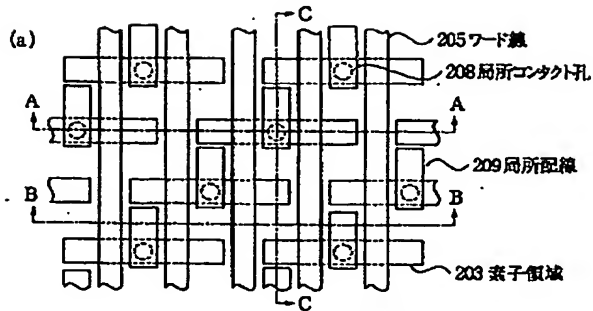
【図2】



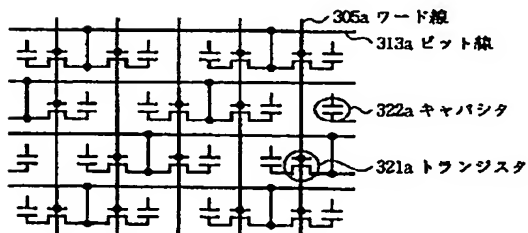
【図5】



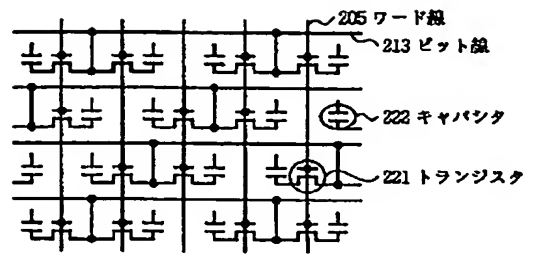
【図4】



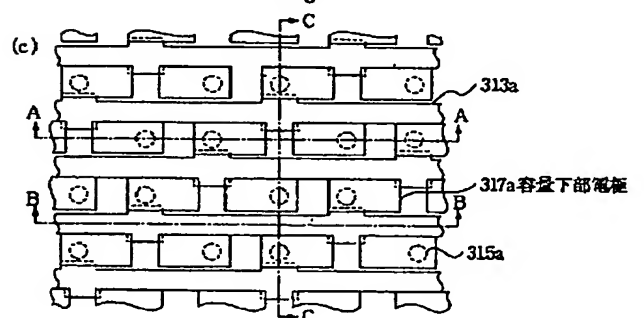
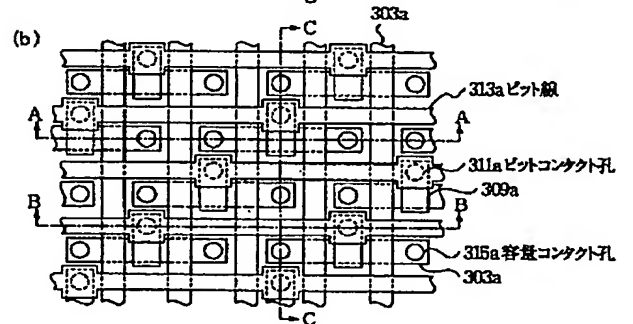
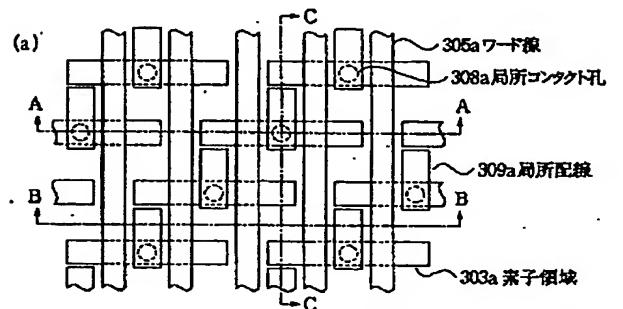
【図9】



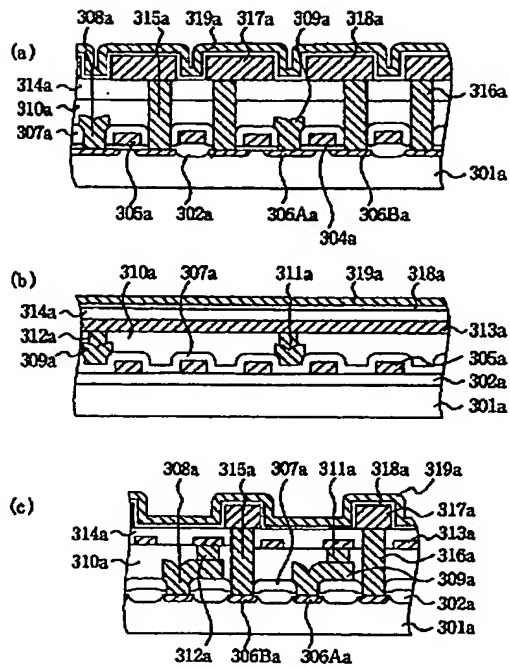
【図6】



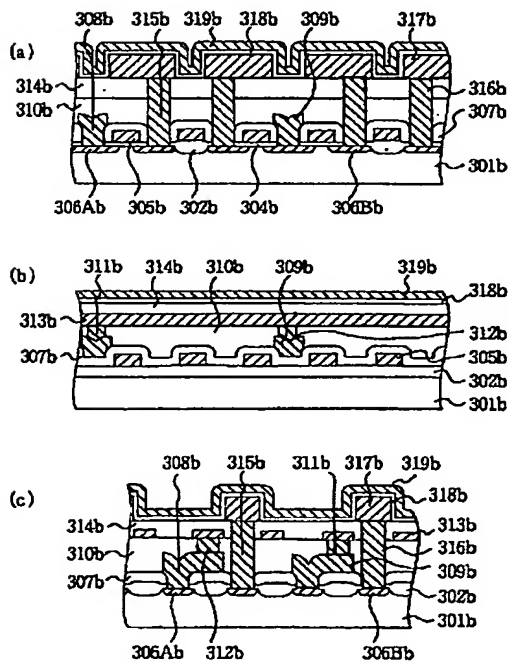
【図7】



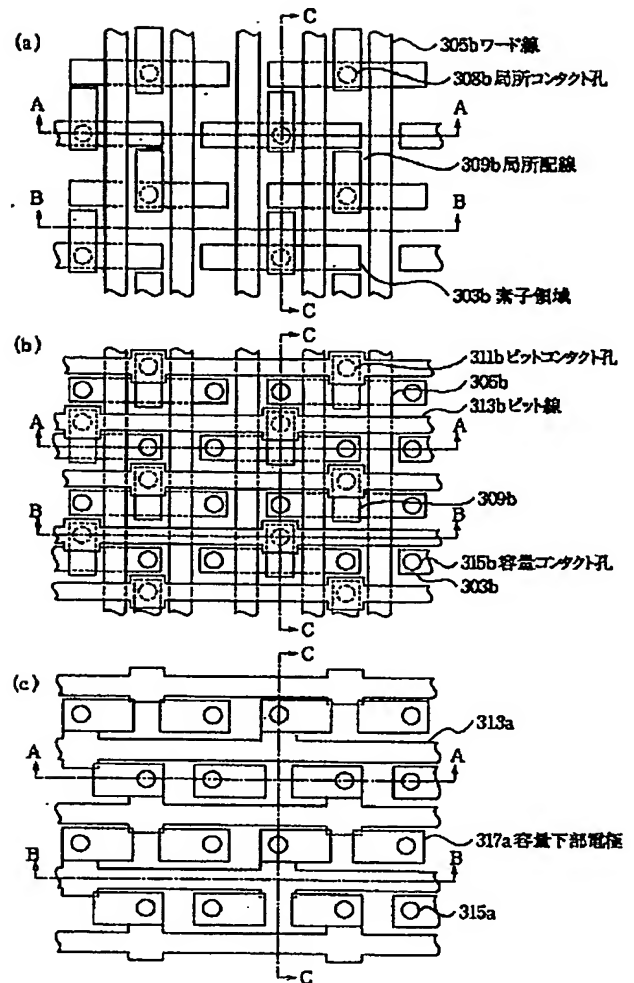
【図8】



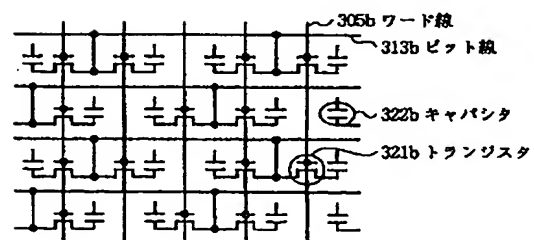
【図11】



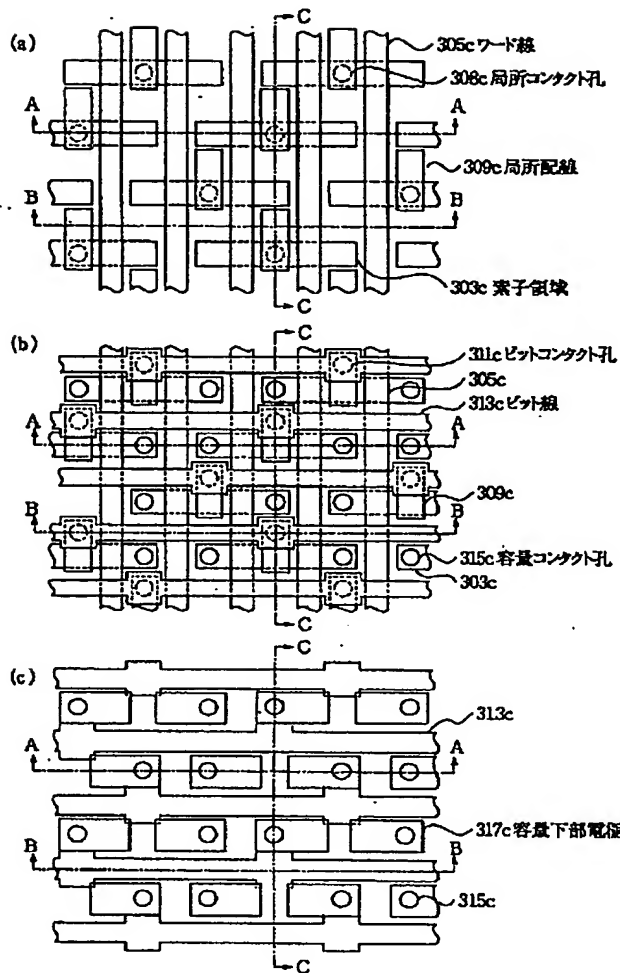
【図10】



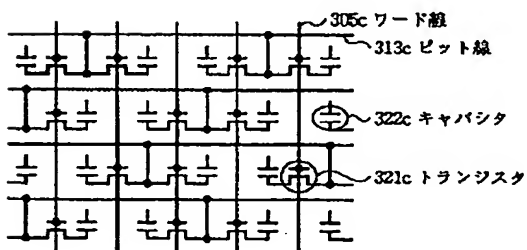
【図12】



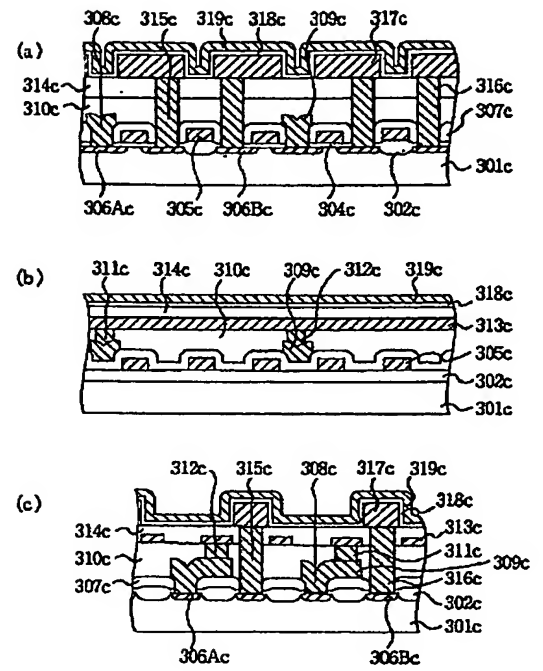
【図13】



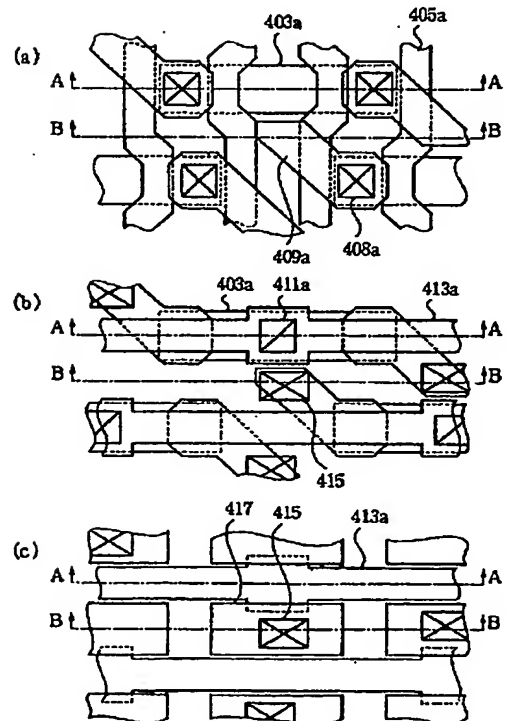
【図15】



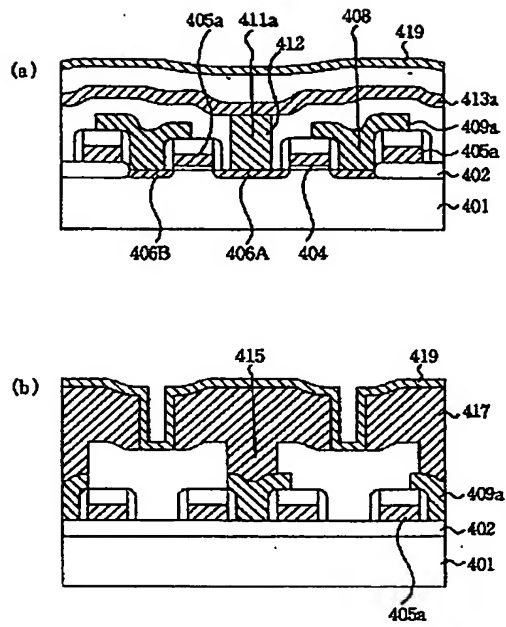
【図14】



【図16】



【図 17】



【図 18】

